



**CENTRO UNIVERSITÁRIO SALESIANO de SÃO PAULO**  
**UNIDADE de ENSINO de CAMPINAS**

**“Máquina de Serigrafia”**

Aluno: André S. Santiles dos Santos RA: 04030672 / Turma : GTEN2B  
Aluno: Filipe Tonussi Correia RA: 04030804 / Turma : GTEN2B  
Aluno: Gustavo El Khalili RA: 04030726 / Turma : GTEN2B  
Aluno: Elias Camilo RA: 04030578 / Turma : GTEN2B

Prof.: Wlamir de Almeida Passos

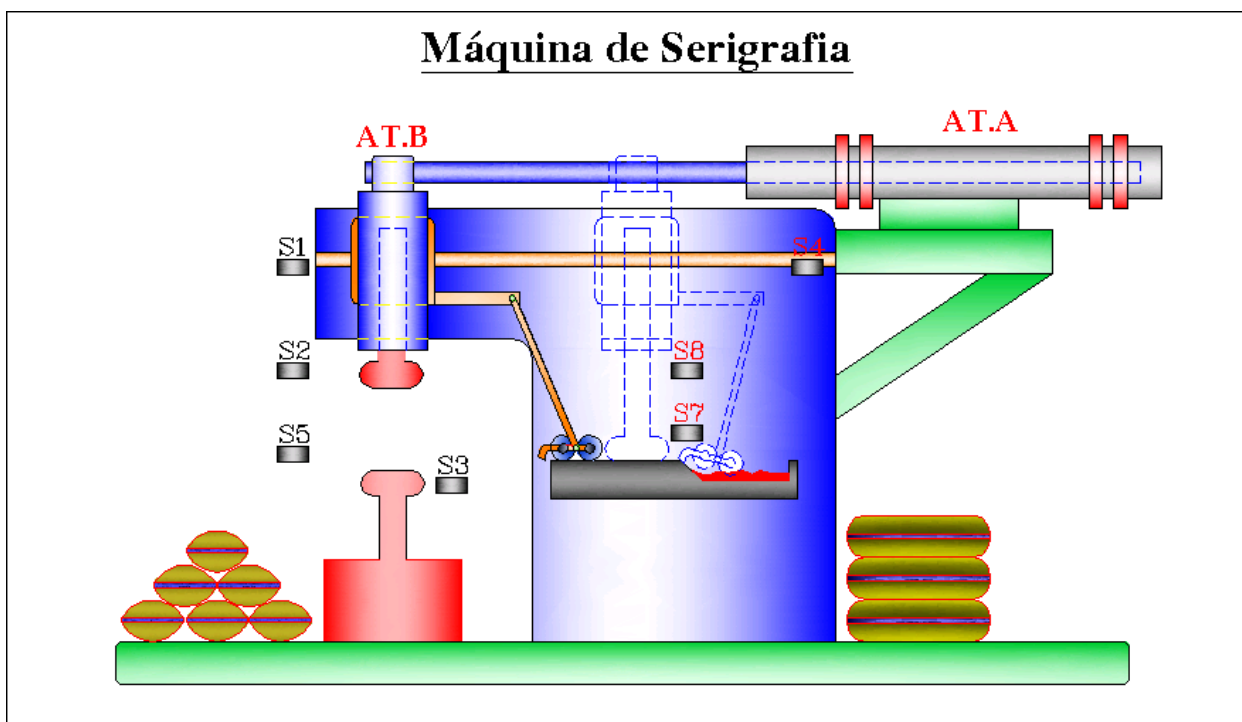
## 1. Objetivo

O projeto consiste na elaboração de uma máquina de estados feita em VHDL para fazer o controle automático de uma máquina de serigrafia. Onde iremos aumentar a velocidade de produção, a qualidade do trabalho e a redução do custo para a empresa. Este controle também possibilita a implementação de cronômetros digitais onde e todas as etapas do processo serão monitoradas através de sensores, o que viabiliza velocidade no processo.

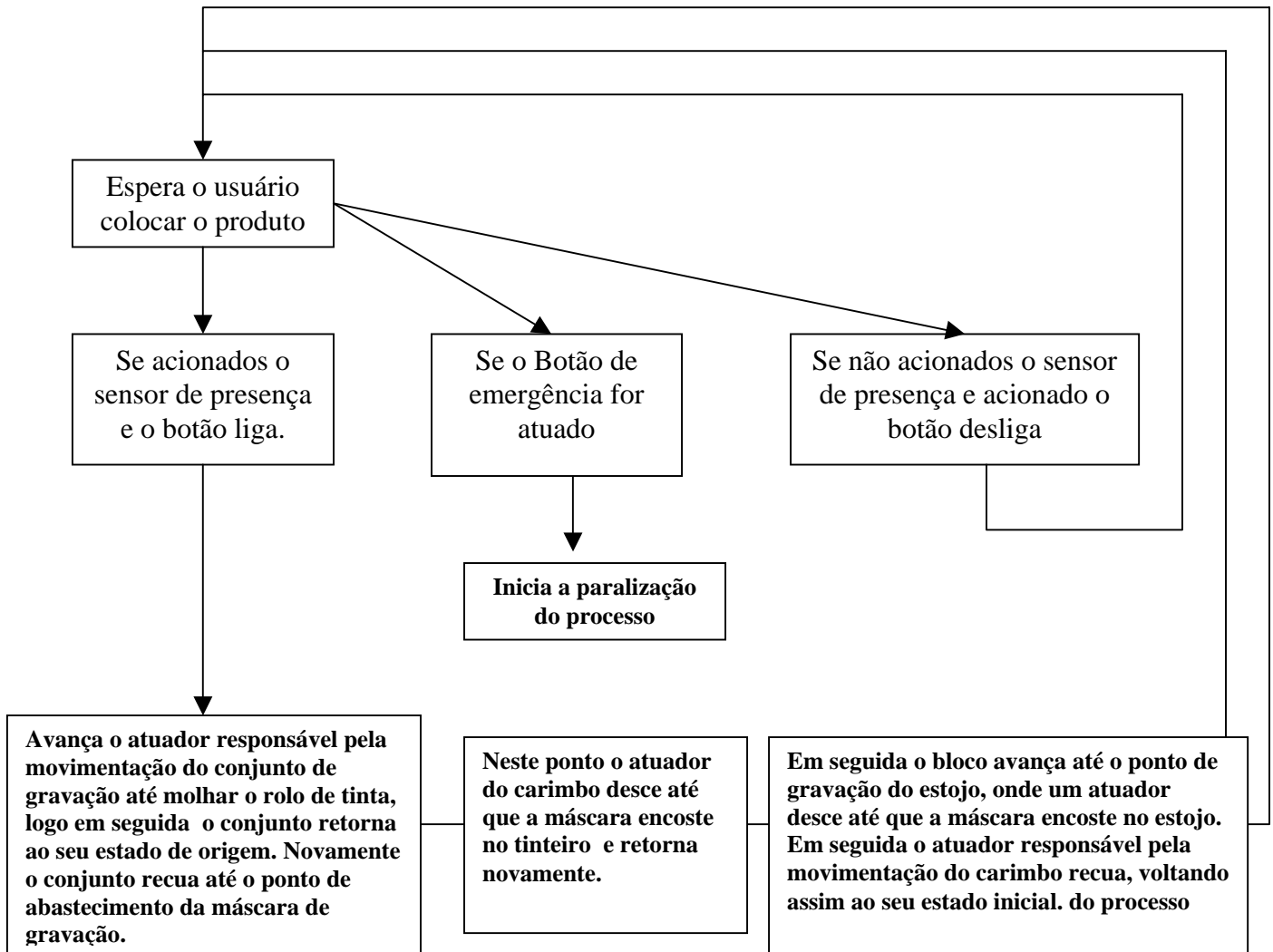
O projeto também visou atender as leis ambientais fazendo com que o operador não esteja mais em contato direto com os produtos tóxicos utilizados no processo, pois agora está tudo sendo executado automaticamente pela máquina.

## 2. Especificação

### Desenho do projeto



## Fluxograma sistêmico

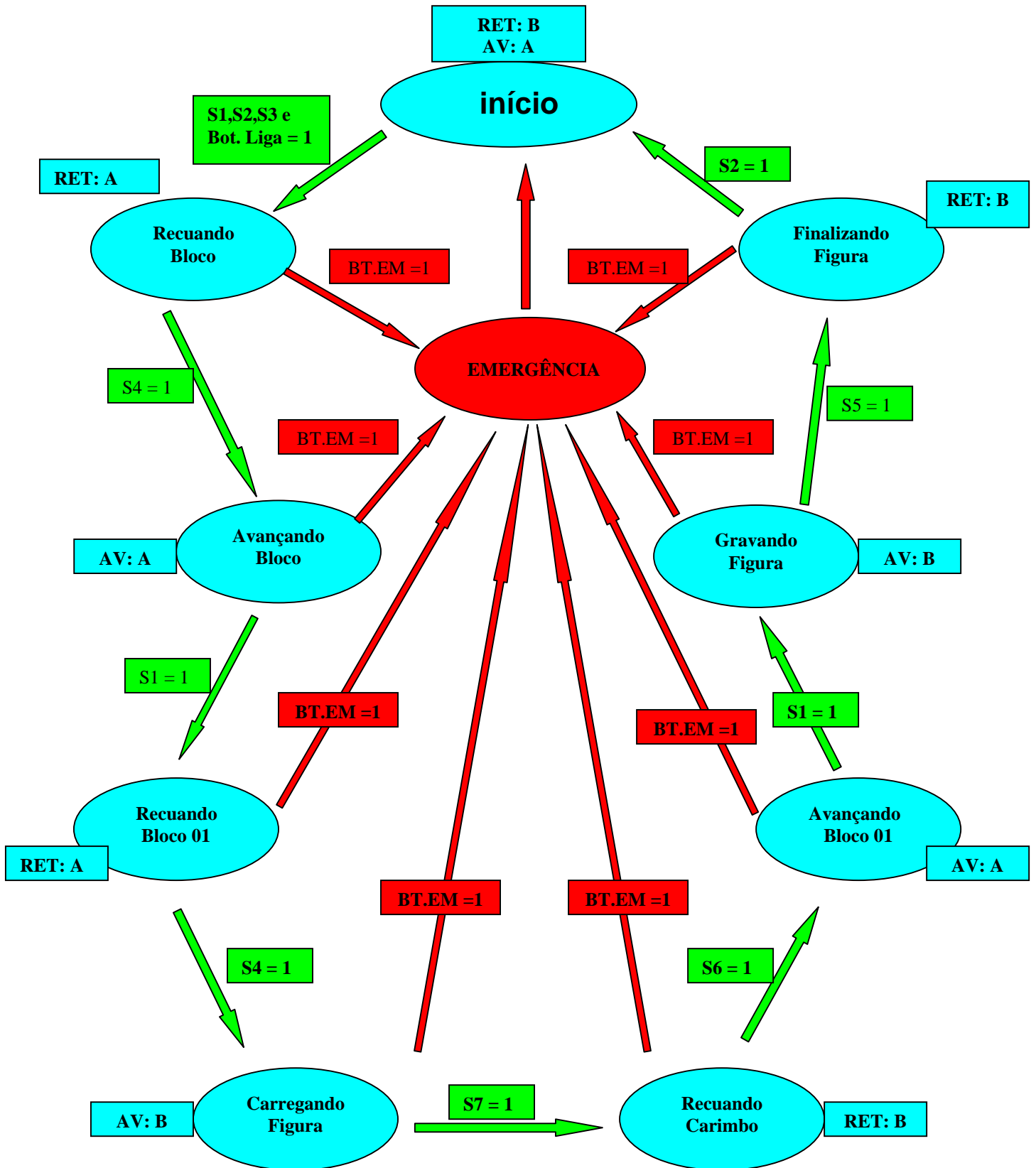


### 3. Projeto Hardware

#### 3.1 Lista de Sensores e Atuadores

Nome	Tipo	Função
Sensor_01	Entradas	Atuador 'A' avançado
Sensor_02		Atuador 'B' recuado
Sensor_03		Presença de peça
Sensor_04		Atuador 'A' recuado
Sensor_05		Atuador 'B' avançado
Sensor_06		Atuador 'B' recuado
Sensor_07		Atuador 'B' avançado
Botão Emergência		Paralisa o processo
At1_avan	Saídas	Avança Bloco de gravação
At1_retor		Retorna Bloco de gravação
At2_avan		Avança Atuador c/ carimbo
At2_retor		Retorna Atuador c/ carimbo

## Diagramas da Máquina de estado



## 4.1 Projeto VHDL

### 3.2 Arquivos em VHDL de cada bloco do projeto

```
LIBRARY ieee;
USE ieee.std_logic_1164.all;
USE ieee.std_logic_unsigned.all;

ENTITY ciregrafia IS
    PORT(
        clk                                : IN STD_LOGIC;
        s1,s2,s3,s4,s5,s7,s6,bliga,bemer  : IN  STD_LOGIC;
        atA,atB                            : OUT STD_LOGIC);

    END ciregrafia ;

ARCHITECTURE a OF ciregrafia IS
    TYPE estados_cireg1 IS (Inicio,aguarda,Recua_Bloco1,Recua_Carimbo,
        Car_fig,Recua_Bloco2,Avanc_Bloco1,Avanc_Bloco2,Grav_figura,Recua_Bloco3,
        Finaliza_figura,Emerg);
    SIGNAL cireg1: estados_cireg1;

BEGIN
PROCESS (clk)
BEGIN
IF clk'EVENT AND clk = '1' THEN

CASE cireg1 IS

    WHEN Inicio=>
        IF s2= '1' and s1= '1' THEN cireg1 <= aguarda;
        END IF;

    WHEN aguarda=>
        IF s3= '1' and bliga= '1' THEN cireg1 <= Recua_Bloco1;
        elsif bemer= '1' THEN cireg1 <= Emerg;
        END IF;

    WHEN Recua_Bloco1=>
        IF s4='1' THEN cireg1 <= Avanc_Bloco1;
        elsif bemer= '1' THEN cireg1 <= Emerg;
        END IF;

    WHEN Avanc_Bloco1=>
        IF s1= '1' THEN cireg1 <= Recua_Bloco2;
        elsif bemer= '1' THEN cireg1 <= Emerg;
        END IF;

    WHEN Recua_Bloco2=>
        IF s4='1' THEN cireg1 <= Car_fig;
        elsif bemer= '1' THEN cireg1 <= Emerg;
        END IF;
```

```
WHEN Car_fig=>
    IF s7= '1' THEN cireg1 <= Recua_Carimbo;
    elsIF bemer= '1' THEN cireg1 <= Emerg;
    END IF;
```

```
WHEN Recua_Carimbo=>
    IF s6= '1' THEN cireg1 <= Avanc_Bloco2;
    elsIF bemer= '1' THEN cireg1 <= Emerg;
    END IF;
```

```
WHEN Avanc_Bloco2=>
    IF s1= '1' THEN cireg1 <= Grav_figura;
    elsIF bemer= '1' THEN cireg1 <= Emerg;
    END IF;
```

```
WHEN Grav_figura=>
    IF s5= '1' THEN cireg1 <= Finaliza_figura;
    elsIF bemer= '1' THEN cireg1 <= Emerg;
    END IF;
```

```
WHEN Finaliza_figura=>
    IF s2= '1' THEN cireg1 <= Recua_Bloco3;
    elsIF bemer= '1' THEN cireg1 <= Emerg;
    END IF;
```

```
WHEN Recua_Bloco3=>
    IF s4='1' THEN cireg1 <= Inicio;
    elsIF bemer= '1' THEN cireg1 <= Emerg;
    END IF;
```

```
WHEN Emerg=>
    IF bemer= '1' THEN cireg1 <= Inicio;
    END IF;
```

```
END CASE;
END IF;
END PROCESS;
```

```
PROCESS (cireg1)
```

```
BEGIN
```

```
CASE cireg1 IS
```

```
    WHEN Inicio=>
        atA <= '1';
        atB <= '0';
```

```
    WHEN aguarda=>
        atA <= '1';
        atB <= '0';
```

```
    WHEN Recua_Bloco1=>
        atA <= '0';
        atB <= '0';
```

```
WHEN Avanc_Bloco1=>  
  atA <= '1';  
  atB <= '0';
```

```
WHEN Recua_Bloco2=>  
  atA <= '0';  
  atB <= '0';
```

```
WHEN Recua_Bloco3=>  
  atA <= '1';  
  atB <= '0';
```

```
WHEN Car_fig=>  
  atA <= '0';  
  atB <= '1';
```

```
WHEN Recua_Carimbo=>  
  atA <= '0';  
  atB <= '0';
```

```
WHEN Avanc_Bloco2=>  
  atA <= '1';  
  atB <= '0';
```

```
WHEN Grav_figura=>  
  atA <= '1';  
  atB <= '1';
```

```
WHEN Finaliza_figura=>  
  atA <= '1';  
  atB <= '0';
```

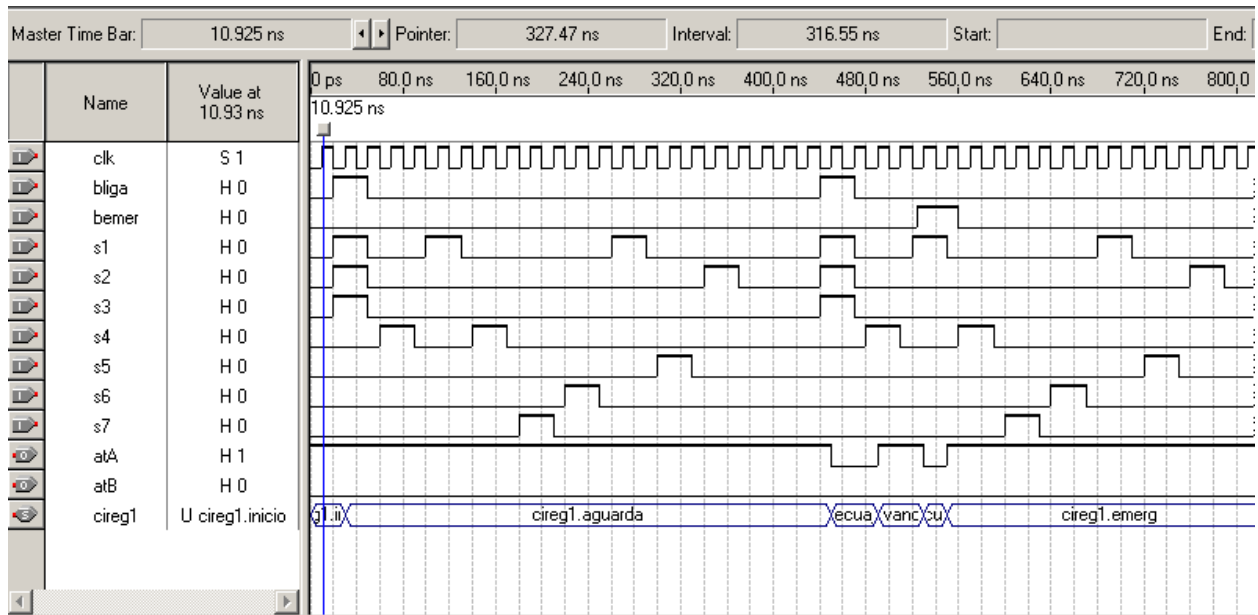
```
WHEN Emerg=>  
  atA <= '1';  
  atB <= '0';
```

```
END CASE;  
END PROCESS;
```

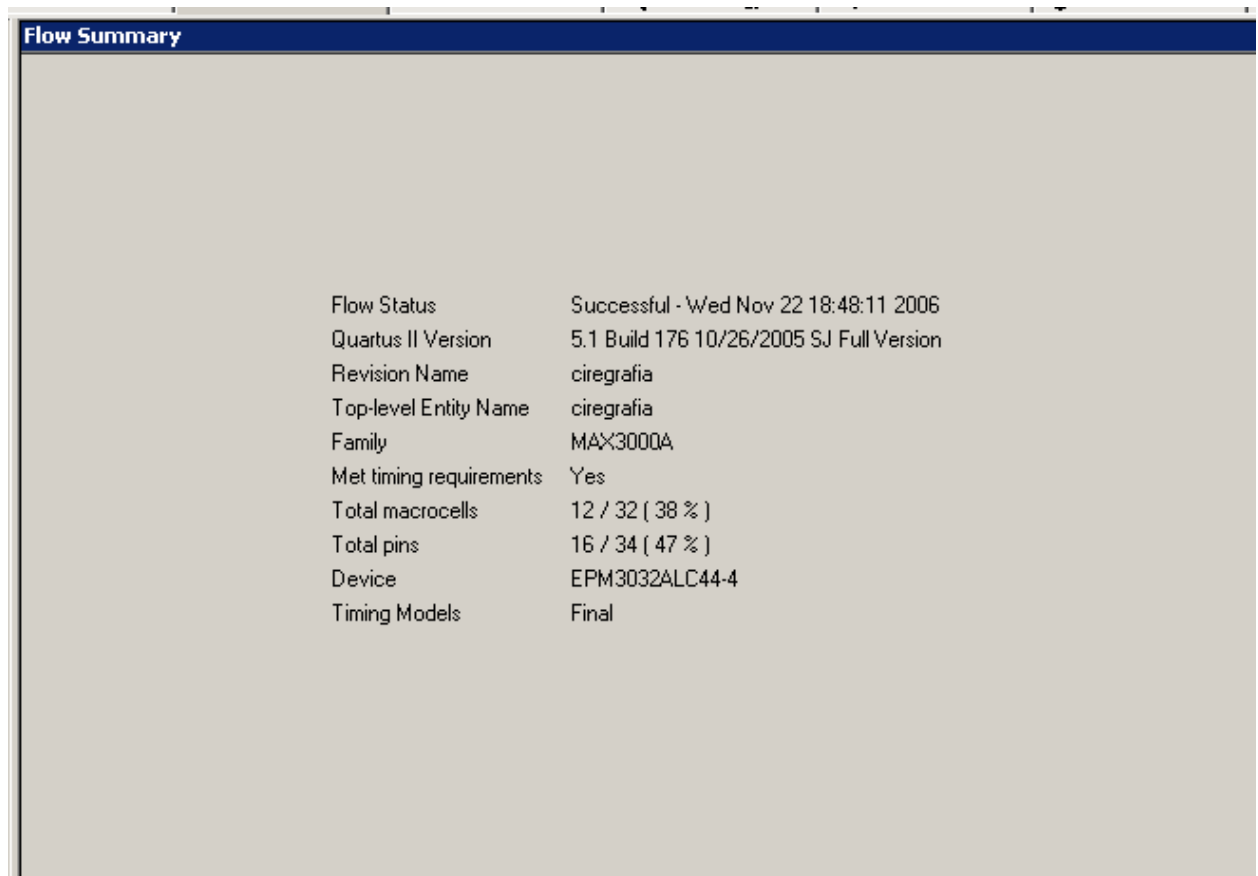
```
END a;
```

## 4.2 Colocar resposta da simulação de cada bloco do projeto e a simulação final.

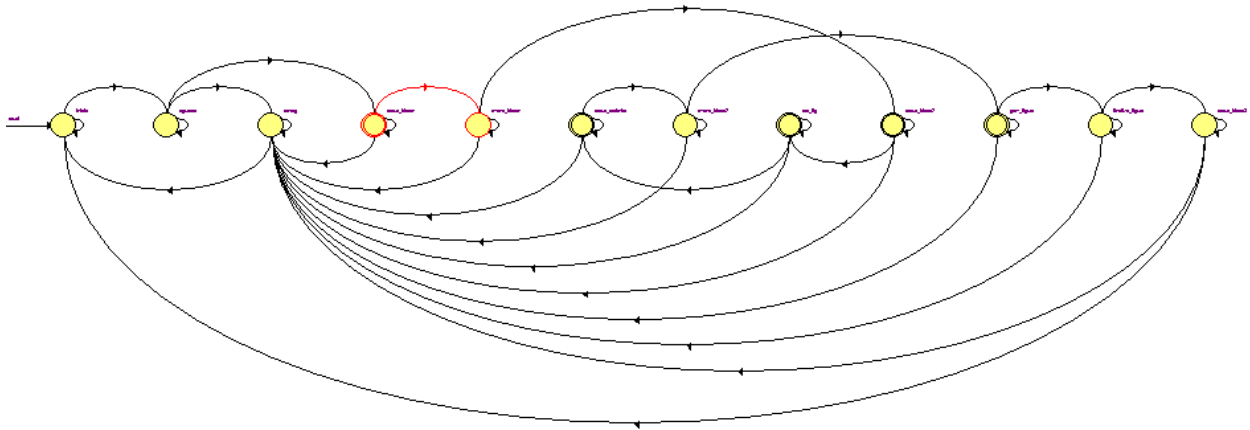
### Simulação



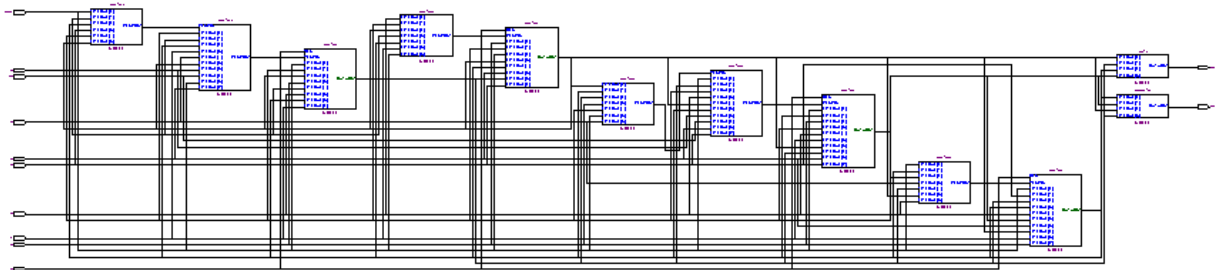
### Relatório de simulação



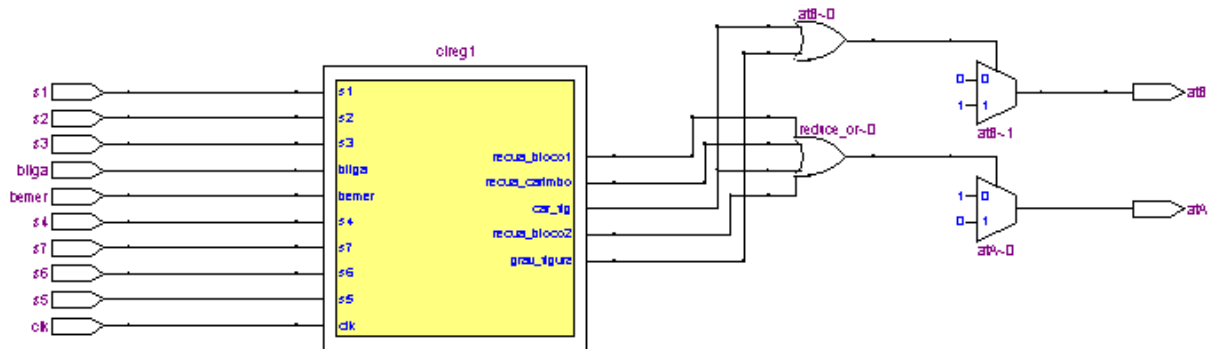
## Máquina de estados



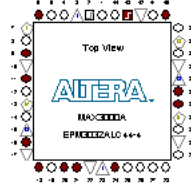
## Technology Map



## RTL Viewer

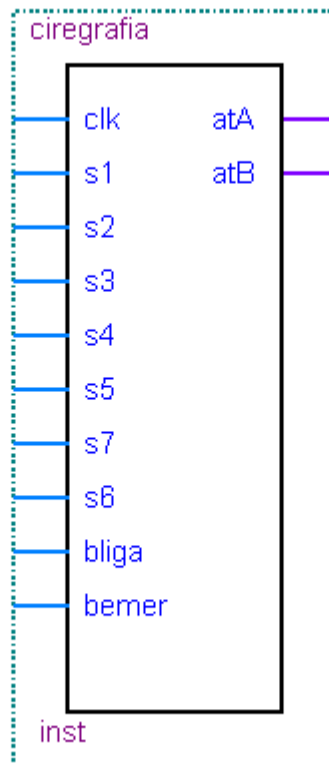


## Pin Plannet



Named: *		All Pins				Filter:	Pins: all
	Node Name	Direction	Location	I/O Bank	VREF Group	I/O Standard	Reserved
6	s1	Input	PIN_20			LVTTTL (default)	
7	s2	Input	PIN_33			LVTTTL (default)	
8	s3	Input	PIN_34			LVTTTL (default)	
9	s4	Input	PIN_11			LVTTTL (default)	
10	s5	Input	PIN_9			LVTTTL (default)	
11	s6	Input	PIN_40			LVTTTL (default)	
12	s7	Input	PIN_6			LVTTTL (default)	
13	TCK	Input				LVTTTL (default)	
14	TDI	Input				LVTTTL (default)	
15	TDO	Output				LVTTTL (default)	
16	TMS	Input				LVTTTL (default)	
17	<new node>>						

## bloch1



### **3.3 Conclusão**

A elaboração e execução deste projeto foi de vital importância para nossa formação tecnológica pois colocamos em prática o aprendizado teórico executado em sala de aula, além de aprimorar nossos conhecimentos, expondo idéias, e elaborando-as, assim realizamos um projeto com alta qualidade, baixo custo e alta utilidade. Além de enriquecermos em conhecimentos em novas linguagens de programação, aprendemos também que antes de iniciar qualquer projeto seja ele em qualquer área é necessário verificar todos os possíveis danos que ele pode causar no meio ambiente ou até mesmo para quem irá operar o projeto.

### **3.4 Referências**

<http://www.oscarflues.com.br/>.

<http://www.epson.com.br/>

### **3.5 Melhorias propostas**

Uma melhoria para esse projeto é conseguirmos fazer com que esta máquina tenha capacidade de imprimir com dois ou mais impressores, com isso obteremos maior produtividade no processo, poderemos também acrescentar um contador de peças um medidor de nível de tintas e um dosador de tintas, assim teremos o controle total do processo sem haver a necessidade do operador ficar controlando tudo.