



**CENTRO UNIVERSITÁRIO SALESIANO DE SÃO PAULO**  
**UNIDADE DE ENSINO DE CAMPINAS**

# **Esteira de Transporte e** **Seleção de Produtos**

Aluno: Edner Martins Vieira	RA: 05030866
Aluno: Rodrigo Botta	RA: 05030068
Aluno: Reinaldo Queiroz	RA: 05030274
Aluno: Ivan Carlos Silva	RA: 03031007

Prof.: Wlamir de Almeida Passos

Eletrônica Digital

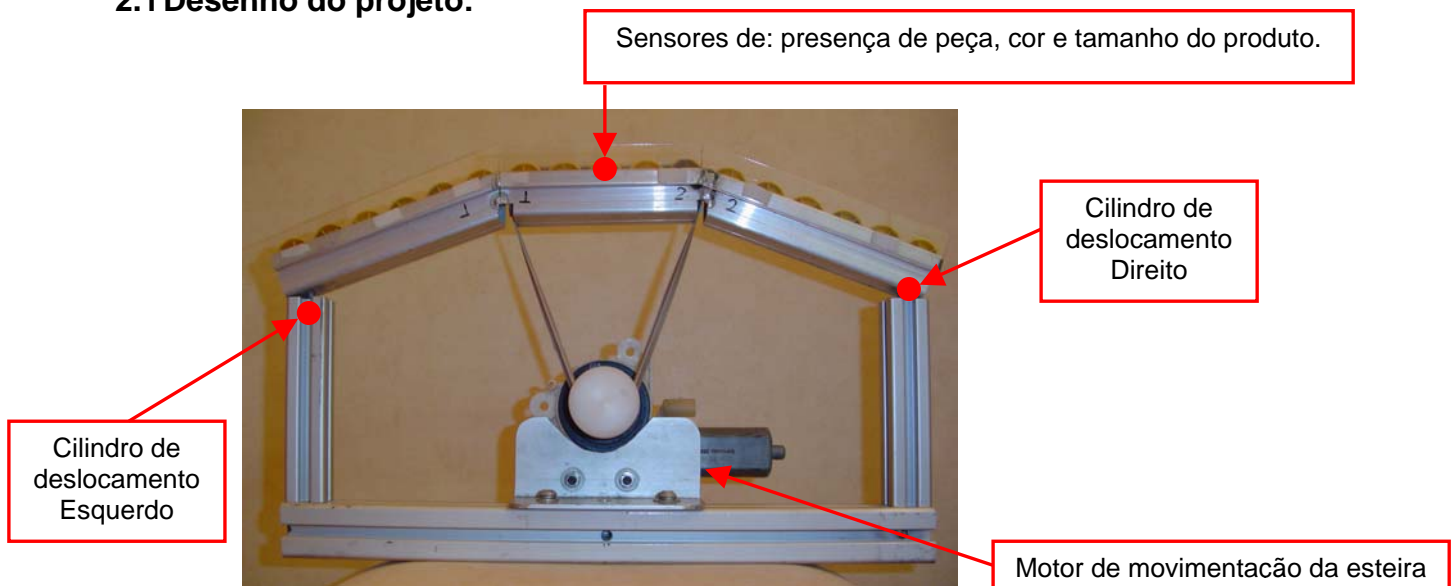
11 / 2006

## 1. Objetivo:

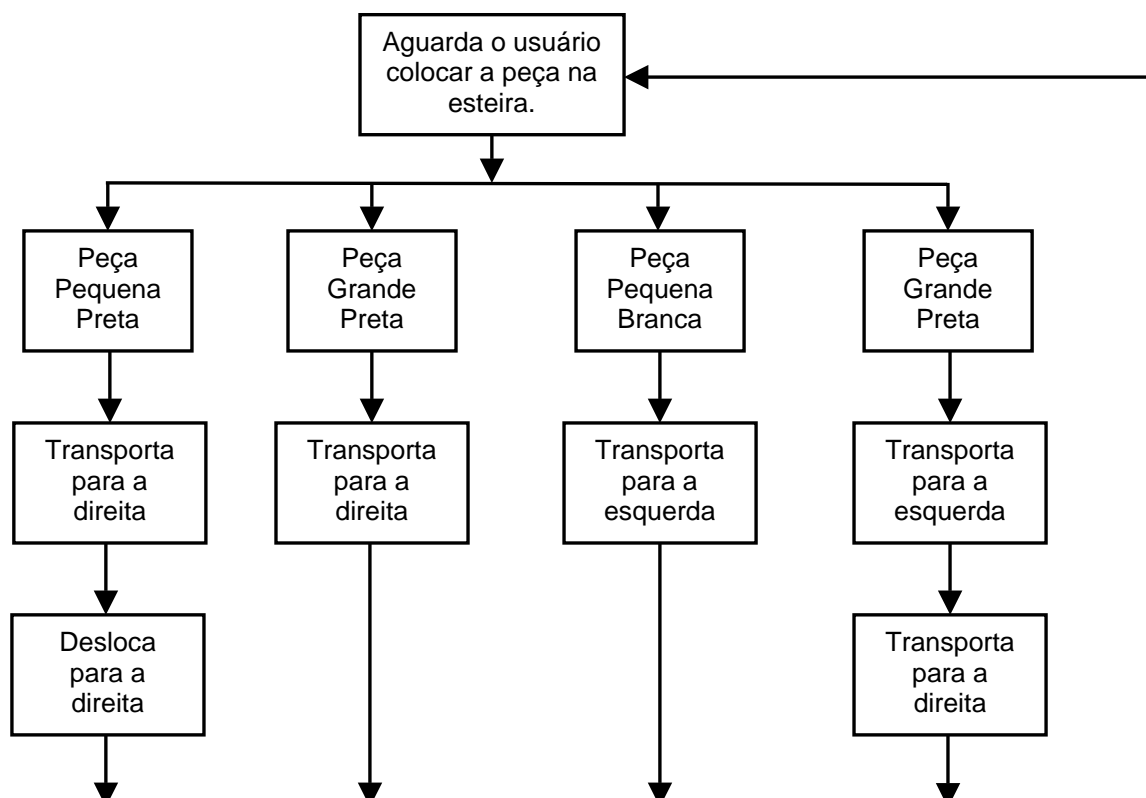
O projeto consiste na elaboração de uma máquina de estado feita em VHDL para fazer o controle de uma esteira de transporte e seleção de produtos. Este controle permite a seleção de duas cores e dois tamanhos diferentes de produtos, possibilitando a expansão do sistema se houver necessidade.

## 2. Especificação:

### 2.1 Desenho do projeto:



### 2.2 Fluxograma sistêmico:

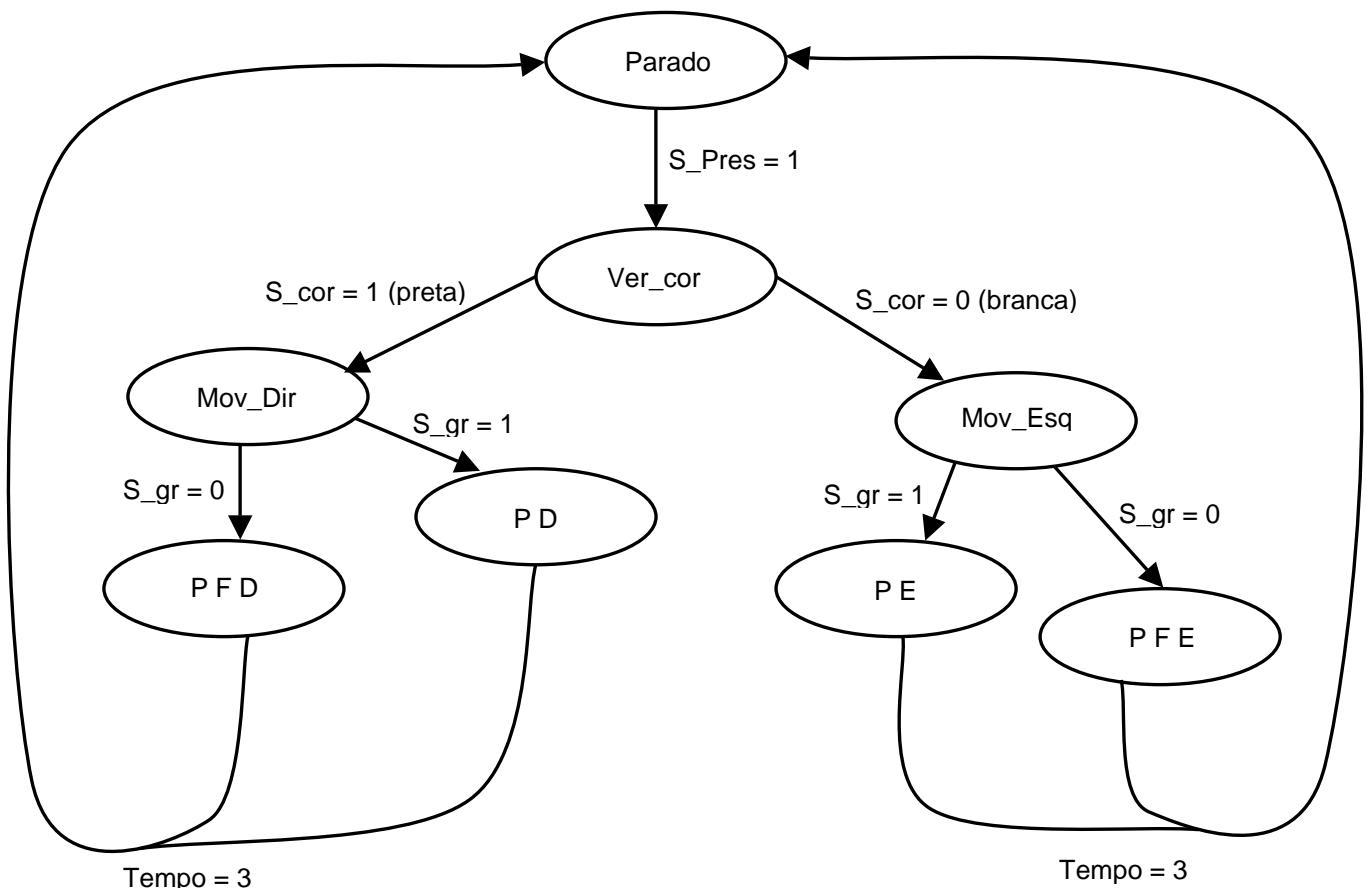


### 3. Projeto Hardware:

#### 3.1 Lista de Sensores e Atuadores:

NOME:	TIPO:	FUNÇÃO:
S_pres	Entrada	Detecta presença de peça
S_cor		Identifica cor Branca ou Preta
S_gr		Identifica peça grande
Clk	Referência	Determina o funcionamento da máquina
M_E	Saída	Motor gira para a esquerda
M_D		Motor gira para a direita
C_D		Cilindro de deslocamento para direita
C_E		Cilindro de deslocamento para esquerda

#### 3.2 Diagramas das Máquinas de Estado:



#### Legenda do diagrama acima:

Parado – máquina em estado parado.  
 Ver\_cor – Sensor que irá verificar a cor.  
 Mov\_Dir – Movimento para a direita.  
 Mov\_Esq – Movimentos para a esquerda.  
 PD – posto direito.

S\_gr – Sensor que irá verificar o tamanho da peça  
 PE – posto esquerdo.  
 PFD – posto frontal direito.  
 PFE – posto frontal esquerdo.  
 S\_cor – Sensor que irá verificar a cor.

## 4. Projeto VHDL:

### 4.1 Arquivos em VHDL de cada bloco do projeto:

```
LIBRARY ieee;
USE ieee.std_logic_1164.all;
USE ieee.std_logic_unsigned.all;

ENTITY esteira IS
  PORT(
    clk           : IN   STD_LOGIC;
    S_pres,S_cor,S_gr : IN   STD_LOGIC;
    M_D,M_E,C_D,C_E : OUT  STD_LOGIC);
END esteira;

ARCHITECTURE a OF esteira IS
  TYPE estados_est IS (Parado,Ver_cor,Mov_Dir,Mov_Esq,PFE,PFD,PE,PD);
  SIGNAL est: estados_est ;
  SIGNAL liga_timer,fim_timer : std_logic;
BEGIN
  PROCESS (clk)
  BEGIN
    IF clk'EVENT AND clk = '1' THEN
      CASE est IS

        WHEN Parado=>
          IF S_pres= '1' THEN est <= Ver_cor;
          END IF;

        WHEN Ver_cor=>
          IF S_Cor = '1' THEN est <= Mov_Dir;
          ELSIF S_Cor = '0' THEN est <= Mov_Esq;
          END IF;

        WHEN Mov_Dir=>
          IF S_gr = '1' THEN est <= PD;
          ELSIF S_gr = '0' THEN est <= PFD;
          END IF;

        WHEN Mov_Esq=>
          IF S_gr = '1' THEN est <= PE;
          ELSIF S_gr = '0' THEN est <= PFE;
          END IF;

        WHEN PD=>
          IF fim_timer = '1' THEN est <= Parado;
          END IF;

        WHEN PFD=>
          IF fim_timer = '1' THEN est <= Parado;
          END IF;

        WHEN PE=>
          IF fim_timer = '1' THEN est <= Parado;
          END IF;

        WHEN PFE=>
          IF fim_timer = '1' THEN est <= Parado;
          END IF;

      END CASE;
    END IF;
  END PROCESS;
END a;
```

```
END CASE;  
END IF;  
END PROCESS;
```

```
PROCESS (est)  
BEGIN
```

```
  CASE est IS
```

```
    WHEN Parado=>  
      M_D <= '0';  
      M_E <= '0';  
      C_D <= '0';  
      C_E <= '0';  
      liga_timer <= '0';
```

```
    WHEN Ver_Cor=>  
      M_D <= '0';  
      M_E <= '0';  
      C_D <= '0';  
      C_E <= '0';  
      liga_timer <= '0';
```

```
    WHEN Mov_Dir=>  
      M_D <= '1';  
      M_E <= '0';  
      C_D <= '0';  
      C_E <= '0';  
      liga_timer <= '0';
```

```
    WHEN Mov_Esq=>  
      M_D <= '0';  
      M_E <= '1';  
      C_D <= '0';  
      C_E <= '0';  
      liga_timer <= '0';
```

```
    WHEN PD=>  
      M_D <= '0';  
      M_E <= '0';  
      C_D <= '1';  
      C_E <= '0';  
      liga_timer <= '1';
```

```
    WHEN PFD=>  
      M_D <= '0';  
      M_E <= '0';  
      C_D <= '0';  
      C_E <= '0';  
      liga_timer <= '1';
```

```
    WHEN PE=>  
      M_D <= '0';  
      M_E <= '0';  
      C_D <= '0';  
      C_E <= '1';  
      liga_timer <= '1';
```

```
    WHEN PFE=>  
      M_D <= '0';  
      M_E <= '0';  
      C_D <= '0';  
      C_E <= '0';  
      liga_timer <= '1';
```

```

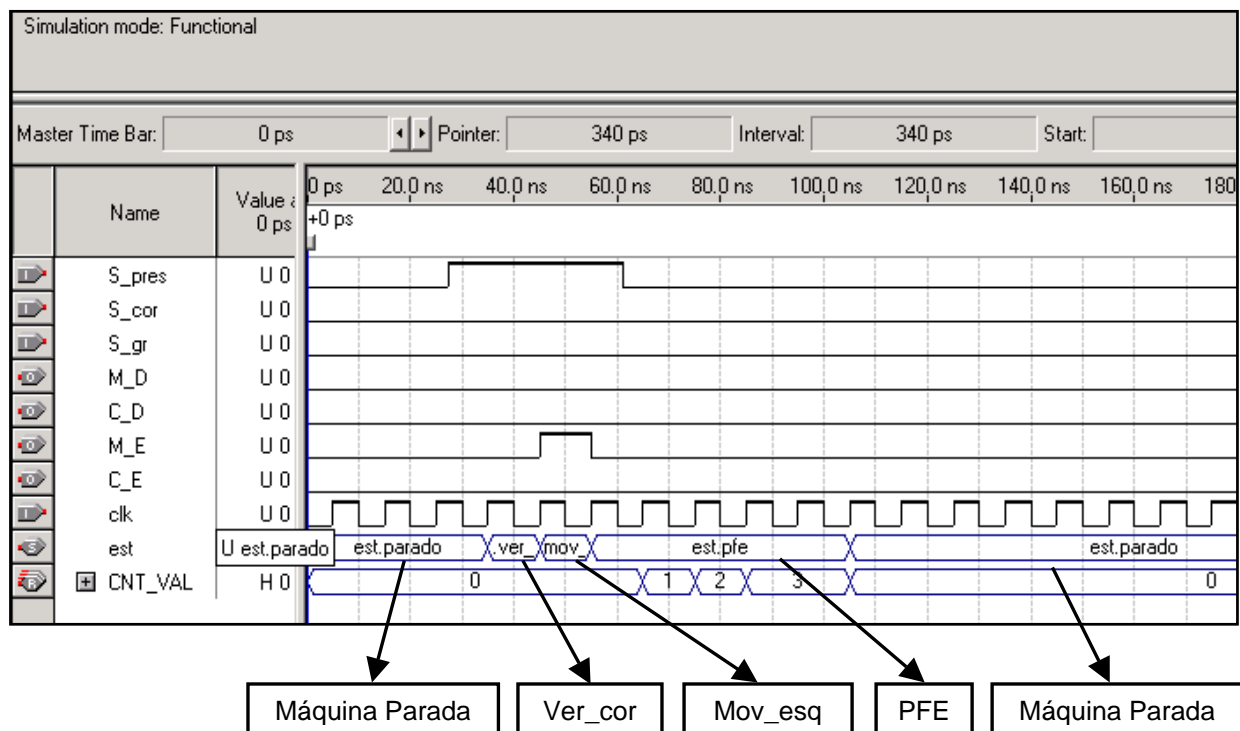
END CASE;
END PROCESS;

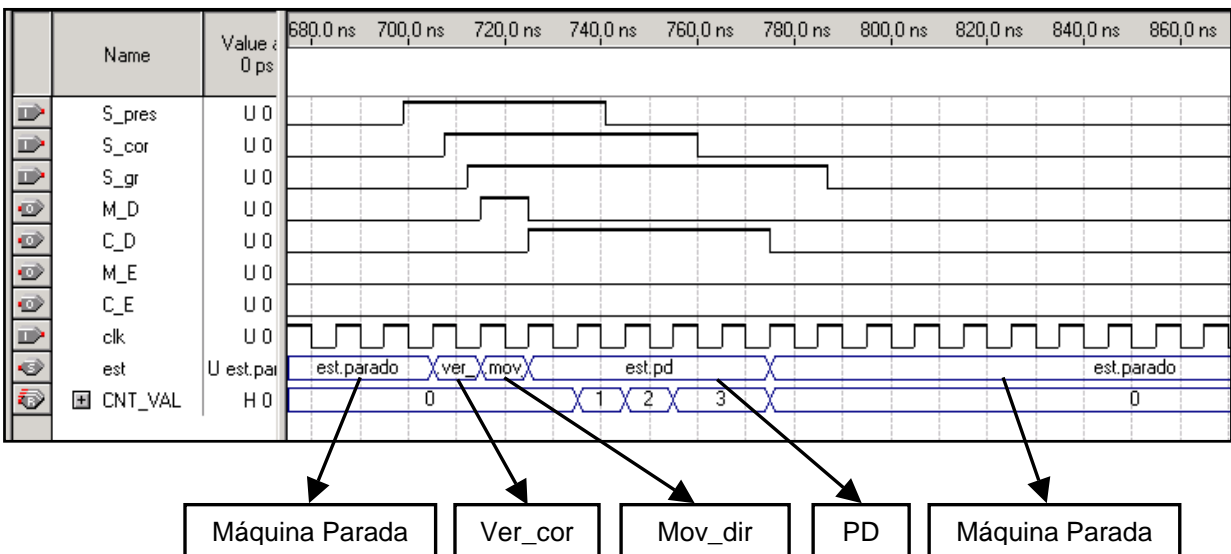
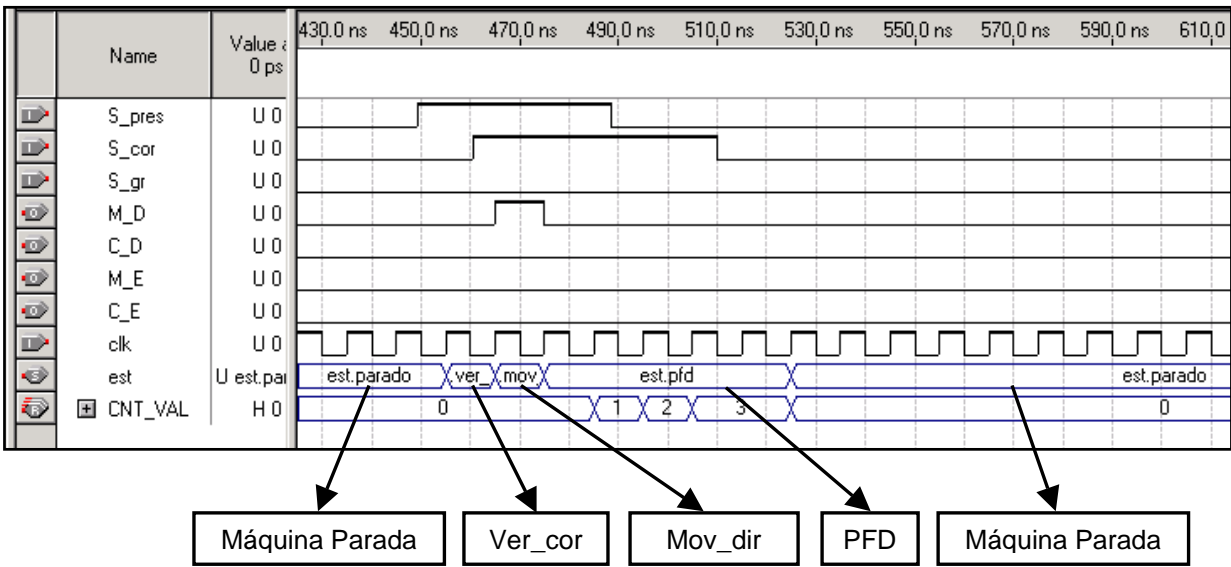
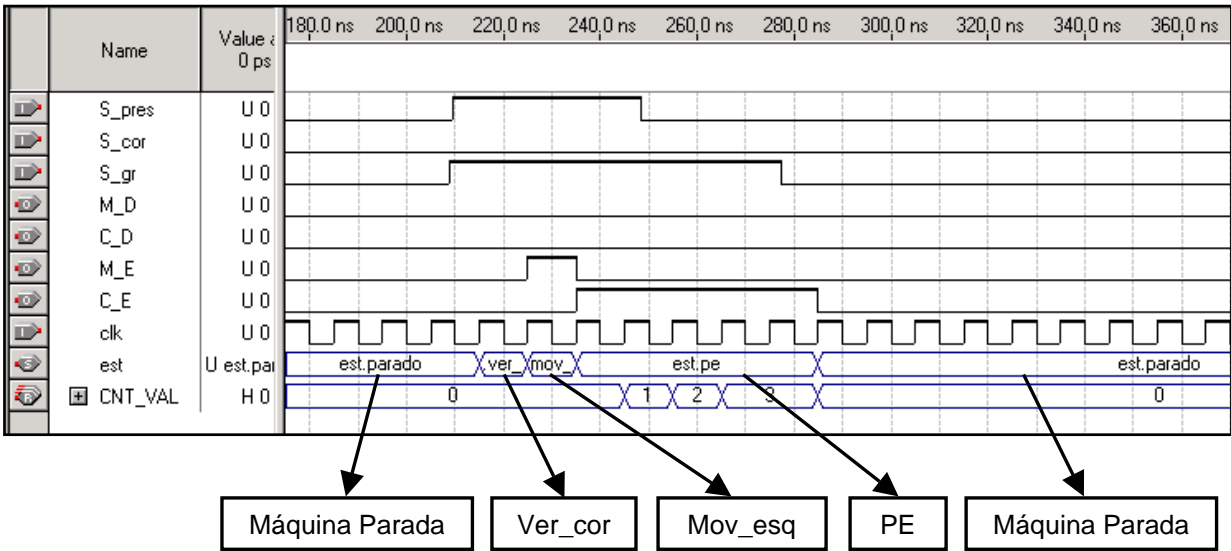
PROCESS (CLK, liga_timer)
VARIABLE CNT_VAL : STD_LOGIC_VECTOR(3 DOWNTO 0);
VARIABLE FIM_VAL : STD_LOGIC;
BEGIN
IF liga_timer = '0' THEN
CNT_VAL := x"0";
FIM_VAL := '0';
ELSIF (CLK'EVENT AND CLK = '1') THEN
IF CNT_VAL < x"3" THEN
CNT_VAL := CNT_VAL + 1;
FIM_VAL := '0';
ELSE
CNT_VAL := CNT_VAL;
FIM_VAL := '1';
END IF;
END IF;
fim_timer <= FIM_VAL;
END PROCESS;

END a;

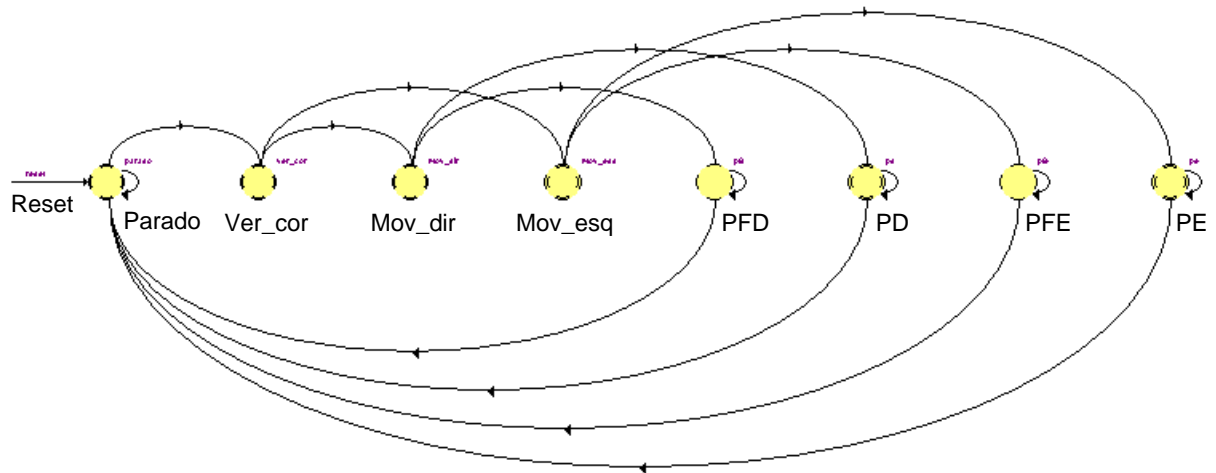
```

#### 4.2 Simulação de cada bloco do projeto – Simulação final:

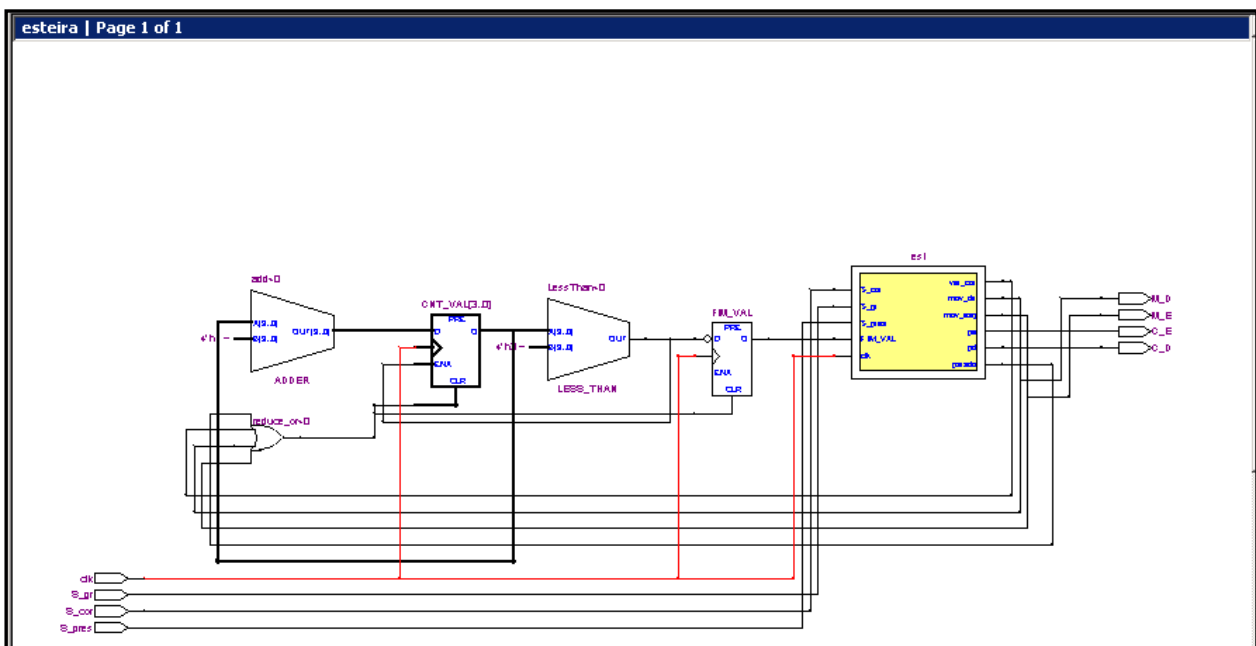




### 4.3 Máquina de Estado:



### 4.4 Esquema Elétrico – RTL VIEWER:



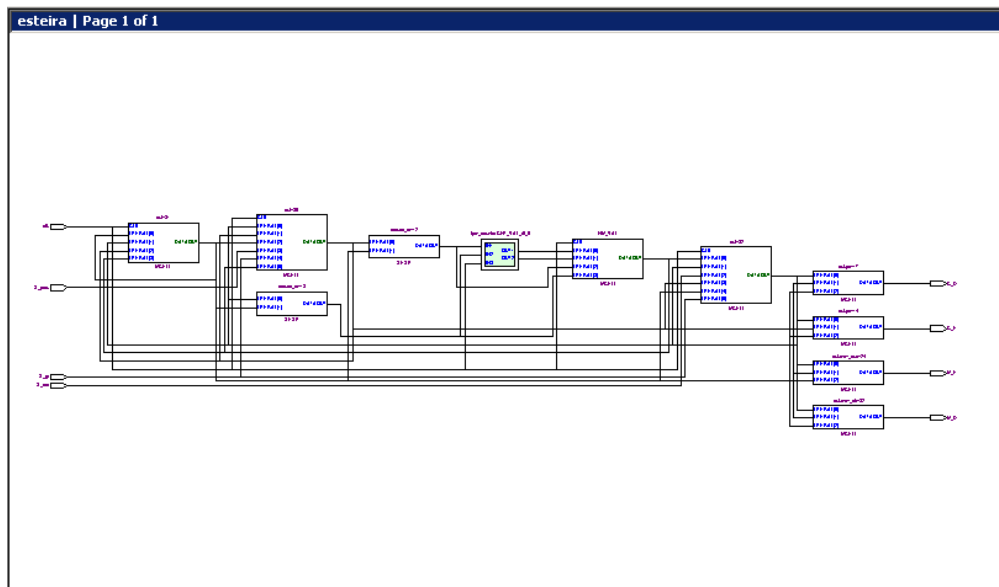
## 4.5 Otimizações

Modificações solicitadas pelo professor após o funcionamento do projeto:

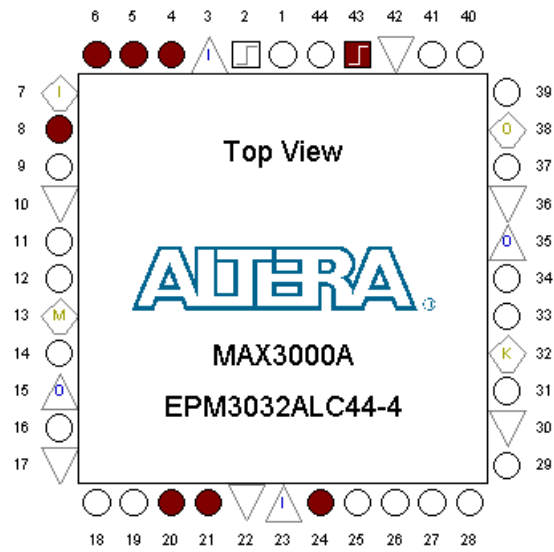
Substituído a família e o chip utilizado por um chip de menor capacidade e custo que atende as necessidades do projeto .

Flow Summary	
Flow Status	Successful - Wed Nov 22 19:55:21 2006
Quartus II Version	5.1 Build 176 10/26/2005 SJ Full Version
Revision Name	esteira
Top-level Entity Name	esteira
Family	MAX3000A
Met timing requirements	Yes
Total macrocells	10 / 32 ( 31 % )
Total pins	12 / 34 ( 35 % )
Device	EPM3032ALC44-4
Timing Models	Final

## 4.6 Technology Map Viewer

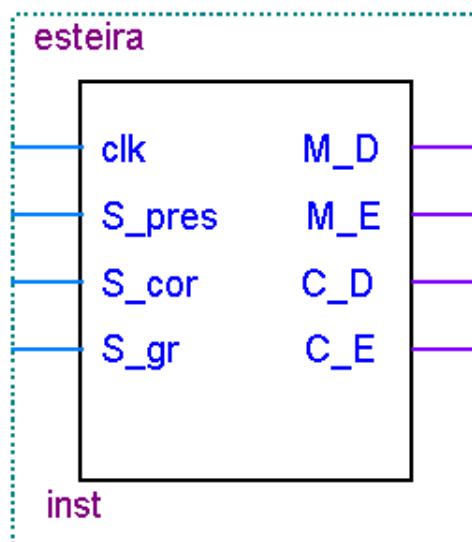


## 4.7 Roteamento automático do Chip (Pin Planner)



	Node Name	Direction	Location	I/O Bank	VREF Group	I/O Standard	Reserved	Group
1	C_D	Output	PIN_8			LVTTTL (default)		
2	C_E	Output	PIN_6			LVTTTL (default)		
3	clk	Input	PIN_43			LVTTTL (default)		
4	M_D	Output	PIN_4			LVTTTL (default)		
5	M_E	Output	PIN_5			LVTTTL (default)		
6	S_cor	Input	PIN_21			LVTTTL (default)		
7	S_gr	Input	PIN_24			LVTTTL (default)		
8	S_pres	Input	PIN_20			LVTTTL (default)		
9	TCK	Input				LVTTTL (default)		
10	TDI	Input				LVTTTL (default)		
11	TDO	Output				LVTTTL (default)		
12	TMS	Input				LVTTTL (default)		
13	<<new node>>							

## 4.8 Compilação do projeto em Bloco



## **5. Resultados obtidos:**

### **5.1 Conclusão:**

O Projeto de uma esteira de transporte e seleção de produtos foi escolhido pelo grupo porque é uma aplicação muito empregada em indústrias dos mais variados segmentos. Ela foi inicialmente desenvolvida para uma simples seleção de 4 produtos distintos, transportados para 4 diferentes postos de trabalho. As dificuldades encontradas no projeto foi inicialmente determinar as seqüências e prioridades a serem seguidas pelo sistema. Depois trabalhamos para conseguir realizar a operação de um produto / posto de trabalho, conseguindo sucesso na simulação. Estendemos a programação e a simulação para as demais seqüências desejadas.

### **5.2 Referências:**

[www.nead.unisal.br/moodle](http://www.nead.unisal.br/moodle)

Eletrônica Digital III - Prof. Wlamir

Y:\wlamir\Apostila\pagina\VHDL\Exemplos\lavacar\lavacar.vhd

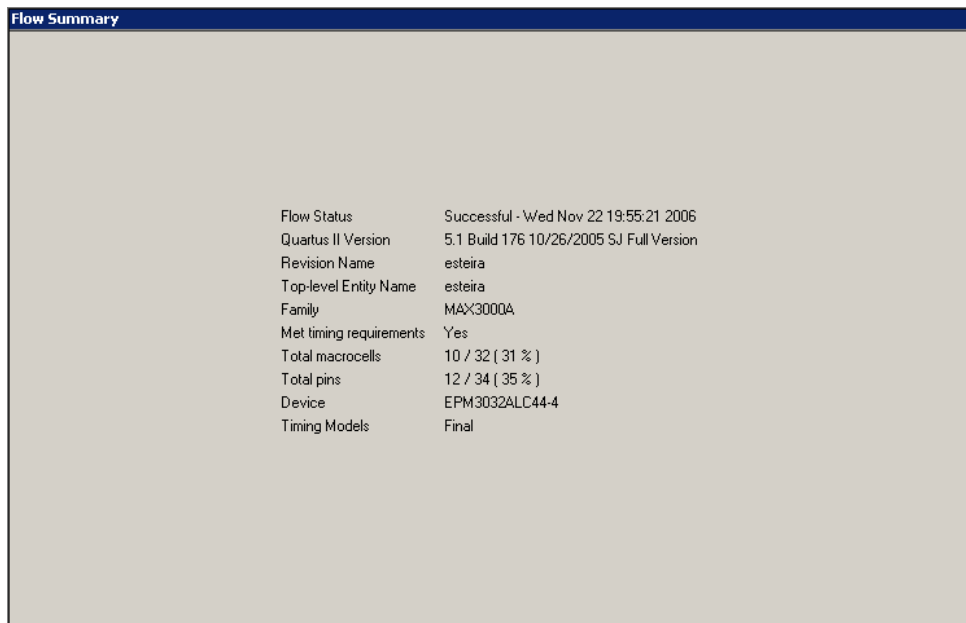
Y:\wlamir\Apostila\pagina\pdf\Projeto\_vhdl\_julian.pdf

### **5.3 Melhorias propostas:**

O projeto oferece facilidade para expansão conforme a necessidade do usuário, uma proposta muito utilizada para controle de produção é um contador de peças transportadas.

Otimizações solicitadas pelo professor após o funcionamento do projeto.

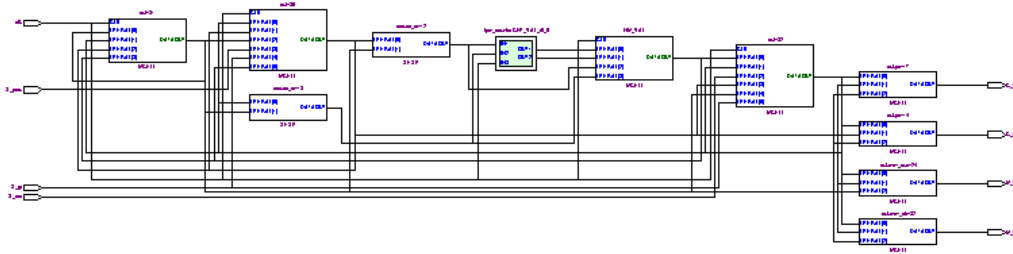
Substituído a família e o chip utilizado por um chip de menor capacidade e custo que atende as necessidades do projeto .



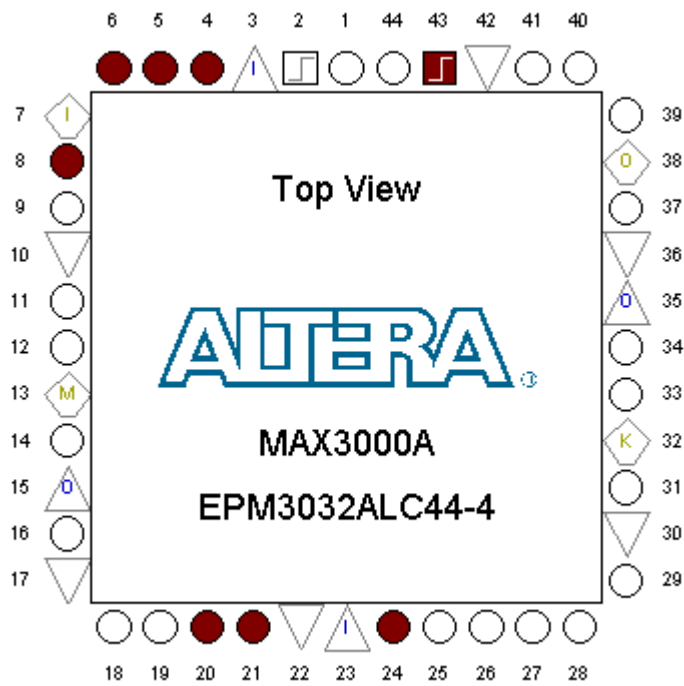
The image shows a screenshot of a 'Flow Summary' window. The window has a dark blue header with the text 'Flow Summary' in white. The main area is light gray and contains a list of project parameters and their values.













Flow Status	Successful - Wed Nov 22 19:55:21 2006
Quartus II Version	5.1 Build 176 10/26/2005 SJ Full Version
Revision Name	esteira
Top-level Entity Name	esteira
Family	MAX3000A
Met timing requirements	Yes
Total macrocells	10 / 32 ( 31 % )
Total pins	12 / 34 ( 35 % )
Device	EPM3032ALC44-4
Timing Models	Final

Technology Map Viewer



### Roteamento automático do Chip (Pin Planner)



	Node Name	Direction	Location	I/O Bank	VREF Group	I/O Standard	Reserved	Group
1	 C_D	Output	PIN_8			LVTTTL (default)		
2	 C_E	Output	PIN_6			LVTTTL (default)		
3	 clk	Input	PIN_43			LVTTTL (default)		
4	 M_D	Output	PIN_4			LVTTTL (default)		
5	 M_E	Output	PIN_5			LVTTTL (default)		
6	 S_cor	Input	PIN_21			LVTTTL (default)		
7	 S_gr	Input	PIN_24			LVTTTL (default)		
8	 S_pres	Input	PIN_20			LVTTTL (default)		
9	 TCK	Input				LVTTTL (default)		
10	 TDI	Input				LVTTTL (default)		
11	 TDO	Output				LVTTTL (default)		
12	 TMS	Input				LVTTTL (default)		
13	<<new node>>							